实验二 Verilog编程提高实验

本次报告的提交地址为：https://send2me.cn/VtepJKCQ/TQ2Dr1tgYXzVkA

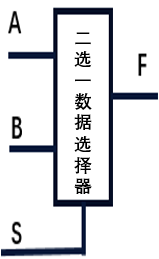
提交截止时间为：2025-4-6晚上11点

一、设计2选1多路选择器实验1

有2个一位的二进制数输入A和B，S是一位的控制输入端，输出是一位二进制数F.它们的关系如下表2.1所示，图2.1是对应的引脚图。

表2.1 简化真值表

|  |  |  |
| --- | --- | --- |
| 控制输入S | 输出F | 备注 |
| 0 | A | 当S==0时，输出F=A; |
| 1 | B | 当S==1时，输出F=B; |

图2.1 2选1多路选择器输入输出引脚图

根据上面的二选一的真值表，在vivado中用verilog语言设计与之对应的逻辑电路，并进行仿真测试，看看仿真波形是否与真值表一致。

如果你的学号的后4位是X3X2X1X0(例如：你学号的后4位是7273,对应于X3=7,X2=2,X1=7,X0=3),则输入信号的激励值依次为：

ABS=000,延时X3个单位；

ABS=001,延时X2个单位；

ABS=010,延时X1个单位；

ABS=011,延时X0个单位；

ABS=100,延时X3个单位；

ABS=101,延时X2个单位；

ABS=110,延时X1个单位；

ABS=111,延时X0个单位；

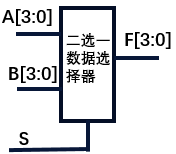
结束仿真，将仿真波形截图和vivado中的2个schematic截图存入实验报告文档中。

二、设计2选1多路选择器实验2

有2个4位的二进制数输入A和B，S是一位的控制输入端，输出是4位二进制数F.它们的关系如下表2.2所示，图2.2是对应的引脚图。

表2.2 简化真值表

|  |  |  |
| --- | --- | --- |
| 控制输入S | 输出F[3:0] | 备注 |
| 0 | A[3:0] | 当S==0时，输出F[3:0]=A[3:0]; |
| 1 | B[3:0] | 当S==1时，输出F[3:0]=B[3:0]; |

图2.2 2选1多路选择器输入输出引脚图

根据上面的二选一的简化真值表，在vivado中用verilog语言设计与之对应的逻辑电路，并进行仿真测试，看看仿真波形是否与真值表一致。

如果你的学号的后4位是X3X2X1X0(例如：你学号的后4位是7273对应于X3=7,X2=2,X1=7,X0=3),则输入信号的激励值依次为：

A[3:0]=0001, B[3:0]=0011, S=0,延时X3个单位；

A[3:0]=0001, B[3:0]=0011, S=1,延时X2个单位；

A[3:0]=0010, B[3:0]=0110, S=0,延时X1个单位；

A[3:0]=0010, B[3:0]=0110, S=1,延时X0个单位；

A[3:0]=1001, B[3:0]=0101, S=0,延时X3个单位；

A[3:0]=1001, B[3:0]=0101, S=1,延时X2个单位；

A[3:0]=1011, B[3:0]=0111, S=0,延时X1个单位；

A[3:0]=1011, B[3:0]=0111, S=1,延时X0个单位；

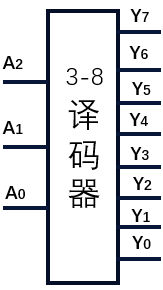
结束仿真，将仿真波形截图和vivado中的2个schematic截图存入实验报告文档中。

三、设计3-8译码器实验

已知3-8译码器的真值表2.3如下，请用verilog设计与之对应的电路。图2.3是对应的引脚图。

表2.3 真值表

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A2 | A1 | A0 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 | **备注** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | **Y0为0;** |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | **Y1为0;** |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | **Y2为0;** |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | **Y3为0;** |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | **Y4为0;** |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | **Y5为0;** |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | **Y6为0;** |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | **Y7为0;** |

 图2.3 3-8译码器输入输出引脚图

根据真值表，在vivado中用verilog语言设计与之对应的逻辑电路，并进行仿真测试，看看仿真波形是否与真值表一致。

如果你的学号的后4位是X3X2X1X0(例如：你学号的后4位是7273,对应于X3=7,X2=2,X1=7,X0=3),则输入信号的激励值依次为：

A2 A1 A0=000,延时X3个单位；

A2 A1 A0=001,延时X2个单位；

A2 A1 A0=010,延时X1个单位；

A2 A1 A0=011,延时X0个单位；

A2 A1 A0=100,延时X3个单位；

A2 A1 A0=101,延时X2个单位；

A2 A1 A0=110,延时X1个单位；

A2 A1 A0=111,延时X0个单位；

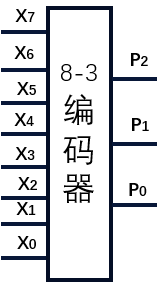
结束仿真，将仿真波形截图和vivado中的2个schematic截图存入实验报告文档中。

四、设计8-3编码器实验

已知8-3编码器的真值表如表2.4所示，请用verilog设计与之对应的电路。图2.3是对应的引脚图。

表2.4 真值表

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X0 | X1 | X2 | X3 | X4 | X5 | X6 | X7 | P2 | P1 | P0 | **备注** |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | **X0为0;** |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | **X1为0;** |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | **X2为0;** |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | **X3为0;** |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | **X4为0;** |
| 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | **X5为0;** |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | **X6为0;** |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | **1** | **1** | **1** | **X7为0;** |

图2.4 8-3编码器输入输出引脚图

根据上面的真值表，在vivado中用verilog语言设计与之对应的逻辑电路，并进行仿真测试，看看仿真波形是否与真值表一致。

如果你的学号的后4位是X3X2X1X0(例如：你学号的后4位是7273,对应于X3=7,X2=2,X1=7,X0=3),则输入信号的激励值依次为：

X7X6 X5X4 X3X2 X1X0=11111110,延时X3个单位；

X7X6 X5X4 X3X2 X1X0=11111101,延时X2个单位；

X7X6 X5X4 X3X2 X1X0=11111011,延时X1个单位；

X7X6 X5X4 X3X2 X1X0=11110111,延时X0个单位；

X7X6 X5X4 X3X2 X1X0=11101111,延时X3个单位；

X7X6 X5X4 X3X2 X1X0=11011111,延时X2个单位；

X7X6 X5X4 X3X2 X1X0=10111111,延时X1个单位；

X7X6 X5X4 X3X2 X1X0=01111111,延时X0个单位；

结束仿真，将仿真波形截图和vivado中的2个schematic截图存入实验报告文档中。

五、设计8位加法器实验

已知全加器的引脚结构图如图2.5，真值表如表2.5所示，先用verilog语言设计1位的全加器，然后用8个1位的全加器，串成一个8位的加法器，用来实现2个八位的二进制数的运算。请用verilog的层次法在vivado中设计出8位的加法器的结构并进行波形仿真测试。

一位全加器的电路符号如图所示

图2.5 一位全加器

真值表如下表所示。

表2.5 真值表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | Ci | S | Co | 备注 |
| 0 | 0 | 0 | 0 | 0 | 和S=0，进位Co=0 |
| 0 | 0 | 1 | 1 | 0 | 和S=1，进位Co=0 |
| 0 | 1 | 0 | 1 | 0 | 和S=1，进位Co=0 |
| 0 | 1 | 1 | 0 | 1 | 和S=0，进位Co=1 |
| 1 | 0 | 0 | 1 | 0 | 和S=1，进位Co=0 |
| 1 | 0 | 1 | 0 | 1 | 和S=0，进位Co=1 |
| 1 | 1 | 0 | 0 | 1 | 和S=0，进位Co=1 |
| 1 | 1 | 1 | 1 | 1 | 和S=1，进位Co=1 |

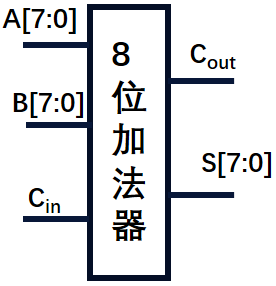
8位加法器的输入输出引脚如图2.6所示：

图2.6 8位加法器的输入输出引脚图

根据上面的分析，在vivado中用verilog语言设计能实现两个8位数进行加法运算的逻辑电路，并进行仿真测试，看看仿真波形是否与真值表一致。

如果你的学号的后4位是X3X2X1X0(例如：你学号的后4位是7273,对应于X3=7,X2=2,X1=7,X0=3),则输入信号的激励值依次为：

A[7:0]=00010010, B[7:0]=10011010,Cin=0,延时X3个单位；

A[7:0]=00011110, B[7:0]=11001101,,延时X2个单位；

A[7:0]=01011010, B[7:0]=10111110,,延时X1个单位；

A[7:0]=10010011, B[7:0]=01011010,,延时X0个单位；

A[7:0]=01010110, B[7:0]=10111011,,延时X3个单位；

A[7:0]=11010010, B[7:0]=01011010,,延时X2个单位；

A[7:0]=00010010, B[7:0]=10011010,,延时X1个单位；

A[7:0]=00010010, B[7:0]=10011010,,延时X0个单位；

结束仿真，将仿真波形截图和vivado中的2个schematic截图存入实验报告文档中。